

PATENT  
REF 3.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-007195

(43)Date of publication of application : 14.01.1993

(51)Int.Cl.

H04J 13/00

(21)Application number : 03-180432

(71)Applicant : CLARION CO LTD

(22)Date of filing : 26.06.1991

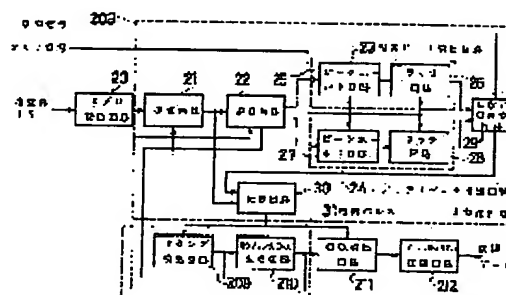
(72)Inventor : UCHIDA YOSHITAKA  
ENDO MAMORU

## (54) BINARIZATION CIRCUIT FOR SPREAD SPECTRUM RECEIVER

## (57)Abstract:

PURPOSE: To surely obtain a correlation pulse corresponding to a correlation peak even when a level fluctuation takes place without mis-detection of a correlation output signal due to spurious radiation.

CONSTITUTION: A correlation output signal is outputted while being delayed or not delayed by a delay circuit 21 depending on the presence of a control signal. The output signal is selected by a selection circuit 22 into a signal with a correlation output based on the control signal or a signal at non-correlation output and a maximum value of each signal is latched by a correlation peak detection circuit 23 and a spurious peak detection circuit 24 for a prescribed timing. A threshold level is set based on a maximum value of each signal latched in both the circuits by a threshold level setting circuit 29. The threshold level is compared with an output signal from the delay circuit 21 to form a correlation pulse.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-7195

(43)公開日 平成5年(1993)1月14日

(51)IntCl.<sup>5</sup>  
H 0 4 J 13/00識別記号 庁内整理番号  
A 7117-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-180432

(22)出願日 平成3年(1991)6月26日

(71)出願人 000001487

クラリオン株式会社  
東京都文京区白山5丁目35番2号

(72)発明者 内田 吉孝

東京都文京区白山5丁目35番2号 クラリ  
オン株式会社内

(72)発明者 遠藤 守

東京都文京区白山5丁目35番2号 クラリ  
オン株式会社内

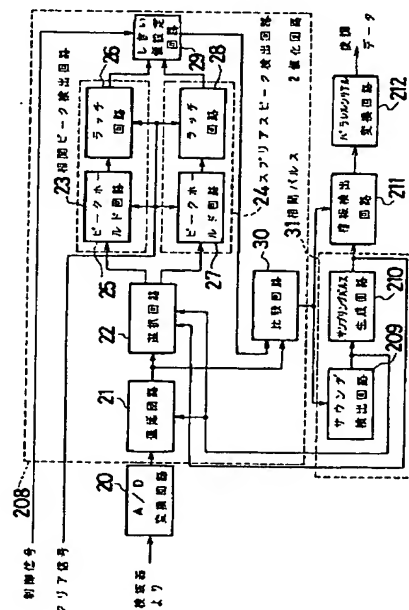
(74)代理人 弁理士 永田 武三郎

(54)【発明の名称】 スペクトラム拡散受信機の2値化回路

(57)【要約】

【目的】 相関出力信号よりスプリアスによる誤検出がなく、またレベル変動が生じて、確実に相関ピークに対応する相関パルスを得ることができるようにすることである。

【構成】 相関出力信号は制御信号の有、無に応じて遅延回路21により遅延又は遅延されずに出力される。この出力信号は選択回路22により上記制御信号に基づいて相関出力時の信号と、非相関出力時の信号とに選別され、夫々の信号の最大値が、相関ピーク検出回路23とスプリアスピーク検出回路24に所定のタイミング保持される。しきい値設定回路29により両回路に保持された各信号の最大値に基づいてしきい値が設定され、このしきい値と遅延回路21の出力信号を比較し、相関パルスを得る。



(書誌+要約+請求の範囲)

---

- (19) 【発行国】 日本国特許庁 (J P)  
(12) 【公報種別】 公開特許公報 (A)  
(11) 【公開番号】 特開平 5 - 7 1 9 5  
(43) 【公開日】 平成 5 年 ( 1 9 9 3 ) 1 月 1 4 日  
(54) 【発明の名称】 スペクトラム拡散受信機の 2 値化回路  
(51) 【国際特許分類第 5 版】

H04J 13/00            A 7117-5K

【審査請求】 未請求

【請求項の数】 1

【全頁数】 9

- (21) 【出願番号】 特願平 3 - 1 8 0 4 3 2  
(22) 【出願日】 平成 3 年 ( 1 9 9 1 ) 6 月 2 6 日  
(71) 【出願人】  
【識別番号】 0 0 0 0 0 1 4 8 7  
【氏名又は名称】 クラリオン株式会社  
【住所又は居所】 東京都文京区白山 5 丁目 3 5 番 2 号  
(72) 【発明者】  
【氏名】 内田 吉孝  
【住所又は居所】 東京都文京区白山 5 丁目 3 5 番 2 号 クラリオン株式会社内  
(72) 【発明者】  
【氏名】 遠藤 守  
【住所又は居所】 東京都文京区白山 5 丁目 3 5 番 2 号 クラリオン株式会社内  
(74) 【代理人】  
【弁理士】  
【氏名又は名称】 永田 武三郎
- 

(57) 【要約】

【目的】 相関出力信号よりスプリアスによる誤検出がなく、またレベル変動が生じても、確実に相関ピークに対応する相関パルスを得ることができるようにすることである。

【構成】 相関出力信号は制御信号の有、無に応じて遅延回路 2 1 により遅延又は遅延され

ずに出力される。この出力信号は選択回路 2 2 により上記制御信号に基づいて相関出力時の信号と、非相関出力時の信号とに選別され、夫々の信号の最大値が、相関ピーク検出回路 2 3 とスプリアスピーク検出回路 2 4 に所定のタイミング保持される。しきい値設定回路 2 9 により両回路に保持された各信号の最大値に基づいてしきい値が設定され、このしきい値と遅延回路 2 1 の出力信号を比較し、相関パルスを得る。

---

#### 【特許請求の範囲】

【請求項 1】 制御信号の有、無に基づいて、相関出力信号を遅延又は非遅延状態に変化させる遅延回路と、上記制御信号に基づいて上記遅延回路の出力信号を所定のタイミングで相関出力時の信号と非相関出力時の信号に選別する選択回路と、上記相関出力時の信号が供給され所定タイミング毎に入力された信号の最大値を保持する相関ピーク検出回路と、上記非相関出力時の信号が供給され、所定タイミング毎に入力された上記信号の最大値を保持するスプリアスピーク検出回路と、上記所定タイミング毎に上記相関ピーク検出回路と、スプリアスピーク検出回路に保持された各信号を入力し、得られた各信号の最大値に基づいて演算処理するしきい値設定回路と、上記遅延回路の出力信号と上記しきい値設定回路の出力信号とが供給され、それら出力信号を比較し、相関パルスを出力する比較回路と、上記相関パルスに基づき上記制御信号を生成する制御信号発生手段と、を備えたことを特徴とするスペクトラム拡散受信機の 2 値化回路。

#### 詳細な説明

---

##### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明はスペクトラム拡散受信機において、相関出力信号より相関ピークとスプリアスピークを分離し、その相関ピークに対応する相関パルスを発生するための 2 値化回路に関する。

##### 【0002】

【従来の技術】 高速データ通信を行なう従来のスペクトル拡散通信方式による多重通信装置の一例を図 8 及び図 9 に示す。図 8 は送信機で、1 はシリアルーパラレル変換器、2-1 ~ 2-n は掛け算器、3-1 ~ 3-n は PN 符号発生器、4-1 ~ 4-n は BPSK 変調器、5 は足算器である。

・【0003】 上記送信機において、入力された高速のデータ (ア) は、シリアルーパラレル変換器 1 によりパラレルデータ (イ 1), (イ 2), … (イ n) に変換される。パラレルデ

ータ(イ1), (イ2), …(イン)は掛け算器2-1, 2-2, …2-nの一方の入力に入力される。一方、掛け算器2-1, 2-2, …2-nの他方の入力にはPN符号発生器3-1, 3-2, …3-nから出力される異なるPN符号(ウ1), (ウ2), …(ウン)が入力される。掛け算器2-1, 2-2, …2-nの出力(エ1), (エ2), …(エン)は夫々PBSK変調器4-1, 4-2, …4-nに入力され、高周波キャリア信号(オ)を変調する。そして、BPSK変調器4-1, 4-2, …4-nからは高周波の信号(カ1), (カ2), …(カン)が出力され、足算器5に入力される。足算器5からはn多重されたスペクトル拡散信号(キ)が出力されて送信される。

【0004】図9は受信機で、7-1~7-nはコンボルバ、8-1~8-nは掛け算器、9-1~9-nはPN符号発生器、10-1~10-nは検波器、12はデータ復調器である。上記受信機において、受信信号(ケ)は分配され、コンボルバ7-1, 7-2, …7-nの一方の入力に夫々入力される。一方、PN符号発生器9-1, 9-2, …9-nより出力されるPN符号(コ1), (コ2), …(コン)は掛け算器8-1, 8-2, 8-nの一方の入力に付加される。掛け算器8-1, 8-2, 8-nのもう一方の入力には高周波のキャリア信号(ス)が入力される。掛け算器8-1, 8-2, …8-nの出力(サ1), (サ2), …(サン)は、コンボルバ7-1, 7-2, …7-nのもう一方の入力に印加される。

【0005】コンボルバの出力(シ1), (シ2), …(シン)は夫々検波器10-1, 10-2, 10-nに入力される。この時、コンボルバからの出力は各データチャンネルから同じタイミングで相関スパイクが発生する。検波器10-1, 10-2, 10-nの出力(ソ1), (ソ2), …(ソn)はデータ復調器12に入力される。データ復調器12からは、復調されたデータ(タ)が出力される。さて、上述した従来の多重通信装置では、キャリアの同期を必要とし、また、相関器としてのコンボルバ(又はマッチドフィルタ)を複数必要とする欠点がある。

#### 【0006】

【発明が解決しようとする課題】本発明者は特願平2-153998号でこのような複数の相関器を必要とするという従来の多重通信装置の欠点を改良し、単一の相関器で復調できる多重通信装置を提案した。図3及び図4は夫々前記先願の発明によるスペクトラム拡散(SS)通信装置の送信機及び受信機の一構成例を示す。

【0007】図3に示すように、送信機は、シリアル-パラレル変換回路101、セレクタ群102、遅延器群103、加算器104、PN符号(コード)発生器105、高周波キャリア発生器106、掛け算器107から構成されている。図4に示すように、受信機は、相関器のコンボルバ201、掛け算器202、高周波キャリア発生器203、PN符号(コード)発生器204、ハイパスフィルタ(HPF)205、増幅器206、検波器207、2値化回路208、サウンダパルス検出回路209、サンプリングパルス生成回路210、情報検出回路211、パラレル-シリアル変換回路212から構成される。

【0008】次に上記装置の動作を説明する。まず、送信機において、送信データaはシ

リアルーパラレル変換回路101により、複数のチャンネルの信号に変換される。ここでは、説明を簡単化するためにチャンネル数をNとする。また、送信データaは、シリアルーパラレル変換回路101により、その各出力は、より遅い伝送速度に変換される。例えば、 $1/N$ の伝送速度、又は送信データaの伝送速度よりも任意に遅い伝送速度のパラレルデータに変換される。シリアルーパラレル変換回路101からの各チャンネルの信号の極性に応じたスペクトラム拡散変調（SS変調）が行なわれる。

【0009】なお、上記SS変調は、例えば以下の2通りの方式を用いている。

■ CSK (Code Shift Keying) 方式：データ（信号の極性に依じて2種類のPN符号（PN1とPN2））を選択して出力する方式。

■ OOK (On Off Keying) 方式：データ（信号）の極性に依じてPN符号（PN1）を出力するかしないかを選択する方式。

【0010】以上の2つの方式のSS変調動作を実現するために、PN符号（PN1及びPN2）発生用にPNコード発生器105及びシリアルーパラレル変換回路101の各出力による上記選択を行なうための各セクタ群102をもって拡散変調器を構成している。次に、拡散変調器の各セクタの出力は遅延器群103の夫々に入力される。各遅延器の出力は、データ復調用同期信号となるサウンダーチャンネルのPN符号（ここではPN1とする）の位相を基準として、各々異なる任意の遅延量が設定されたSS変調信号（情報チャンネル）が得られる。この様子を図5に示す。なお、図5において、情報チャンネルは11～14の4とした場合の異なる遅延量（ $\tau_1 \sim \tau_4$ ）でのCSK方式及びOOK方式の違いを表わしている。また、Sはサウンダーチャンネルである。また、送信データの伝送速度が各情報チャンネルの遅い伝送速度に変換されているのも表わす。ここでは、 $1/4$ の伝送速度に変換されている。各遅延器より得られたN個の情報チャンネルのSS変調信号とサウンダーチャンネルの信号とを加算器104でアナログ加算（多重化）を行ない、加算器104の出力を掛け算器107によって高周波キャリア発生器106の出力との掛け算を行ない、多重化SS信号を得る。次に受信機において、送信機で得られた多重化SS信号がコンボルバ201の一方の入力端子に受信信号とし入力される。

【0011】コンボルバのもう一方の入力端子には、PNコード発生器204で得られるPN符号（ここでは、送信機で用いられているPN符号（PN1）と時間的に反転した関係にあるPN符号（PN1）を用いている）を掛け算器202にて高周波キャリア発生器203の出力との掛け算を行ない、高周波変調されたPN符号を参照信号とし入力する。コンボルバ201では、受信信号と参照信号の相関演算が行なわれ、高周波の相関出力を得る（図6参照）。

【0012】図6において、図5で説明されたサウンダーチャンネルのPN符号の位相を基準にし、各情報チャンネルの異なる位相関係にある各PN符号に対応した時間的に分離した相関ピークが得られる。ここでは、サウンダーチャンネル及び全ての情報チャンネルで自己相関である相関ピークが得られた状態を示す。従って、CSK方式及びOOK方式

のいずれにおいて自己相関が得られない場合(CSK方式…相互相関、OOK方式…無相関)は、相関ピークは発生しない。なお、上記実施例では相関器にコンボルバを用いた場合について述べているが、マッチドフィルタを使用しても何ら問題ない。但し、参照信号を生成する箇所は、マッチドフィルタ上のパターンに置き換わり不要である。

【0013】次に、コンボルバ出力をハイパスフィルタ205及び増幅器206を介し、検波器207において検波しベースバンド情報帯域の信号に変換して2値化回路208にてロジックレベルのパルス列を得る。なお、2値化回路208においては、相関ピークとスプリアスレベルとを最適に分離できるようにしきい値を設定している。

【0014】サウンダーチャンネルに対応する相関出力は、常に周期的な相関ピークを発生するため、相関ピークをサウンダパルス検出回路209において検出し基準時間信号を得る。このような基準とされる時間信号を必要とする目的は、通常のDS-SS方式における拡散符号同期を不必要とするためである。すなわち、前記装置においては、コンボルバ上における受信信号のPN符号の位相と参照信号のPN符号の位相同期を行ない、データ復調をする方式ではなく、単なる符号同期過程を省いた非同期方式を実現している。このサウンダパルス検出回路209の出力である基準時間信号を基にサンプリングパルス生成回路210において各情報チャンネルに対応した相関出力をサンプリングするためのサンプリングパルスを生成する。

【0015】なお、コンボルバを相関器として使用する場合、コンボルバに入力される受信信号と参照信号は対行するため、相関ピークは、ゲート遅延時間/2で発生する。すなわち、これより図5に示される送信側におけるサウンダーチャンネルのPN符号の位相を基準とした各情報チャンネルの遅延量( $\tau_1 \sim \tau_4$ )に対応する相関出力も $\tau_1/2 \sim \tau_4/2$ ほど時間的に分離し発生することになる。従って、サンプリングパルスは上記を考慮して生成している。これよりサンプリングパルスを基に、情報検出回路211において、各情報チャンネルに対応した相関出力をサンプリングして、各情報チャンネルのデータ列を復調する。

【0016】ここで得られるデータは、送信側においてシリアル-パラレル変換された後の遅い伝送速度と等しい伝送速度のデータである。次に、このN個のパラレルのデータ列を、パラレル-シリアル変換回路212において、シリアルデータに変換することで、送信データを復元する。この一連の動作の概略を図7に示す。

【0017】以上説明したように前記先願の発明によれば、多重化されたスペクトラム拡散通信を行なっても相関器が一つでよく、回路の簡略化が可能となる。さて、前記2値化回路208は、検波された相関出力より相関ピークとスプリアス(サイドローブ)を分離して相関ピークに対応する相関パルス(ロジックレベルのパルス)を発生する(2値化する)ものであるが、相関出力のレベル変動及びスプリアスに充分対処できるものでなければならない。

【0018】本発明の目的は、単一の相関器で復調できる多重通信装置において、相関器

出力信号レベルが変動した場合においても、適切に相關器出力の相關ピークとスプリアス（サイドローブ）を分離して相關パルスを発生させ、確実なデータ復調が可能とな2値化回路を提供することである。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明の2値化回路は、制御信号の有、無に基づいて、相關出力信号を遅延又は非遅延状態に変化させる遅延回路と、上記制御信号に基づいて上記遅延回路の出力信号を所定のタイミングで相關出力時の信号と非相關出力時の信号に選別する選択回路と、上記相關出力時信号が供給され所定タイミング毎に入力された信号の最大値を保持する相關ピーク検出回路と、上記非相關出力時の信号が供給され、所定タイミング毎に入力された上記信号の最大値を保持するスプリアスピーク検出回路と、上記所定タイミング毎に上記相關ピーク検出回路と、スプリアスピーク検出回路に保持された各信号を入力し、得られた各信号の最大値に基づいて演算処理するしきい値設定回路と、上記遅延回路の出力信号と上記しきい値設定回路の出力信号とが供給され、それら出力信号を比較し、相關パルスを出力する比較回路と、上記相關パルスに基づき上記制御信号を生成する制御信号発生手段と、を備えたことを要旨とする。

【0020】

【作用】相關出力信号は制御信号の有無に応じて、遅延又は遅延されないで出力される。この出力信号は選択回路により上記制御信号に基づいて相關出力時と、非相關出力時との信号に選別され夫々の信号の最大値が、相關ピーク検出回路とスプリアスピーク検出回路に所定のタイミングで保持される。両回路に保持された各信号の最大値に基づいてしきい値が設定され、このしきい値と上記遅延回路の出力信号とを比較し、相關パルスを得る。

【0021】

【実施例】以下図面に示す本発明の一実施例を説明する。図1は本発明によるスペクトラム拡散受信機で使用される2値化回路の一実施例で、図2は該回路の各部における信号のタイミングチャートである。

【0022】図1において、図9と同一符号は同一又は類似の回路を示し、2値化回路208は、遅延回路21、選択回路22、相關ピーク検出回路23、スプリアスピーク検出回路24、しきい値設定回路29、比較回路30から成る。相關ピーク検出回路23はピークホールド回路25及びラッチ回路26を有し、またスプリアスピークホールド回路24はピークホールド回路27及びラッチ回路28を有する。遅延回路21の入力側にはA/D変換回路20が設けられ、比較回路30の出力側には制御信号発生部31が設けられ、該制御信号発生部31は、例えば、サウダ検出回路209及びサンプリングパルス生成回路210から成る。

【0023】次に上記実施例の動作を説明する。検波器によって検波された相關出力は、ディジタル信号処理によるデータ復調を行なうために、A/D変換回路20によってアナログ信号からNビット（N：整数）のディジタル信号に変換される。A/D変換された相



関出力信号は、遅延回路 2 1 に入力される。遅延回路 2 1 では、サウンダ検出回路 2 0 9 によってサウンダチャンネルに対応する相関パルスを検出して得られる基準時間信号を基に、入力される相関出力である信号を遅延させる。

【0 0 2 4】すなわち、サウンダ検出前後において、相関出力である信号を遅延するかもしれないかの制御を行なう（詳細については後述する）。なお、サウンダ検出回路 2 0 9 で得られる基準時間信号（すなわち、サウンダチャンネルの相関パルスに対応するサンプリングパルス）は、時系列的に連続して発生する。しかし、遅延回路 2 1 においては、サウンダ検出前後の 2 値的な制御であるため、最初の基準信号をトリガ的に得られれば動作としては何ら問題はない。

【0 0 2 5】次に、遅延回路 2 1 を経て相関出力信号は選択回路 2 2 に入力される。選択回路 2 2 においては、サウンダチャンネルが検出されるまでは、遅延回路 2 1 を経た相関出力信号を全て相関ピーク検出回路 2 3 へ入力する。また、サウンダチャンネルが検出されたらば、情報チャンネルに対応する相関ピーク発生箇所は既知となり、サンプリングパルス生成回路 2 1 0 において、その情報チャンネルの相関ピークに対応するサンプリングパルスが作られる。よって、サウンダチャンネル検出後の選択回路 2 2 は、サウンダ検出回路 2 0 9 の出力の基準時間幅を有するウィンドウを生成し、相関出力信号を選別して出力する。なお、ウィンドウ内は、サウンダ及び情報チャンネルの相関ピークが存在する区間であり、ウィンドウ外はそれらの相関ピーク以外のスプリアスの存在区間である。

【0 0 2 6】すなわち、選択回路 2 2 は、サウンダチャンネルが検出された後は、ウィンドウの内外によって、相関ピークとスプリアスを弁別する動作が行なわれる。なお、前述した遅延回路 2 1 の動作を補足説明すると、選択回路 2 2 において、サウンダチャンネル検出後の相関ピーク成分とスプリアス成分を弁別するにおいて、サウンダ検出回路 2 0 9 の出力及びサンプリングパルス生成回路 2 1 0 の出力を選択すべきウィンドウ情報として得るまでに、選択回路 2 2 の出力からのそこまでの回路の系による処理時間が当然存在する。これは、一種のフィードバック系であるから、ウィンドウが作られた場合その処理時間分の遅延が発生する。すなわち、ウィンドウが作られた場合、そのウィンドウの内には相関ピーク成分、外にはスプリアス成分というように適切に相関出力信号が入力されねばならないわけであり、従って、遅延回路 2 1 において、サウンダチャンネル検出後の相関出力信号の遅延補償を行なっている。

【0 0 2 7】このように選択回路 2 2 では、サウンダチャンネル検出前においては全ての相関出力信号を相関ピーク検出回路 2 3 に入力し、また、サウンダチャンネル検出後はウィンドウによって、相関ピークが存在する区間は相関ピーク検出回路 2 3 へ、そしてスプリアス存在区間はスプリアスピーク検出回路 2 4 へ入力する。なお、上記において選択回路 2 2 から相関出力信号が出力されない端子側は、その間最小値である n ビットのデジタル値が出力されるよう選択回路 2 2 は動作する。

【0 0 2 8】次に、選択回路 2 2 を経た信号は相関ピーク検出回路 2 3 及びスプリアスピー

ーク検出回路 24 に入力される。各ピーク検出回路では、まず、各ピークホールド回路 25, 27 によって選択回路 22 の出力信号の最大値を検出し保持する。そして、クリア信号をトリガとして各ピークホールド回路によって求められた最大値を各ラッチ回路 26, 28 に移すと同時にピークホールド回路に保持されている最大値をクリアする。なおここで、クリア信号のパルス周期は任意に設定できる。例えば、受信機で用いる相関器のゲート処理信号と等しく設定を行なうとすると、相関器がマッチドフィルタの場合は相関ピーク 1 周期毎であり、また、相関器がコンボルバの場合は相関ピークが 2 周期毎にピークホールド動作が行なわれることになる。このような構成によって、任意の時間区間のピーク検出が行なえ、従って、短期間の相関出力における振幅変動が生じても追従することが可能となる。

【0029】次に、各ピーク検出回路のラッチ回路 26, 28 によって保持された最大値はしきい値設定回路 29 に入力される。しきい値設定回路においては、得られた各最大値を基に演算処理を行ないしきい値を算出する。

【0030】算出方法としては、いろいろあるが一例として今、相関ピーク検出回路で得られた最大値を  $V_s$ 、スプリアスピーク検出回路 24 で得られた最大値を  $V_n$ 、及び算出されるしきい値を  $V_t$  とすると、 $V_t = V_n + (V_s - V_n / \alpha)$  (1)

と求められる。求められたしきい値は、N ビットのデジタル信号である。

【0031】なお、右辺第 2 項の重み付け  $\alpha$  を 2 とした場合、相関ピークとスプリアスとの間にしきい値が設定されることになる。また、上記重み付けは、外部からの制御信号として与えられることも可能である。その場合上記制御信号に、例えば CPU 等から発生される。次に、しきい値設定回路 29 で得られたしきい値は、比較回路 30 に入力される。比較回路 30 では、遅延回路 22 を経た相関出力信号としきい値との比較が行なわれ、しきい値よりも大きい相関出力信号が入力された時に相関パルスが発生させる。

【0032】以上更に補足説明をすると、サウンダチャンネルが検出される前は、全ての相関出力信号よりその最大値を検出ししきい値を求め、相関パルスが発生する処理を行なう。また、サウンダチャンネルが検出されたらば、相関ピークとスプリアスの分離を計りしきい値を設定することで、相関パルス検出精度を向上させ誤りの少ないデータ復調を実現するものである。なお、検波器出力以降はデジタル信号処理を行なうために A/D 変換を行ない、その結果、2 値化回路もデジタル信号処理されているが、アナログ信号処理を行なう場合でも容易に実現できることは明らかである。

【0033】

【発明の効果】以上説明したように本発明の 2 値化回路によれば、上述したような構成を採ることで、相関出力信号より、スプリアスによる誤検出がなく、確実に相関ピークに対応する相関パルスを得ることができる。また、相関出力において振幅変動が生じても充分に応答が可能である。

## 図の説明

---

### 【図面の簡単な説明】

【図 1】本発明によるスペクトラム拡散受信機の 2 値化回路の一実施例を示すブロック図である。

【図 2】上記回路の各部の信号のタイミングチャートである。

【図 3】先願発明のスペクトラム拡散送信機の構成を示すブロック図である。

【図 4】先願発明のスペクトラム拡散受信機の構成を示すブロック図である。

【図 5】上記送信機の動作説明図である。

【図 6】上記受信機の動作説明図である。

【図 7】上記受信機の動作説明図である。

【図 8】従来のスペクトラム拡散送信機の構成を示すブロック図である。

【図 9】従来のスペクトラム拡散受信機の構成を示すブロック図である。

### 【符号の説明】

- 2 1 遅延回路
- 2 2 選択回路
- 2 3 相関ピーク検出回路
- 2 4 スプリアスピーク検出回路
- 2 9 しきい値設定回路
- 3 0 比較回路
- 3 1 制御信号発生部

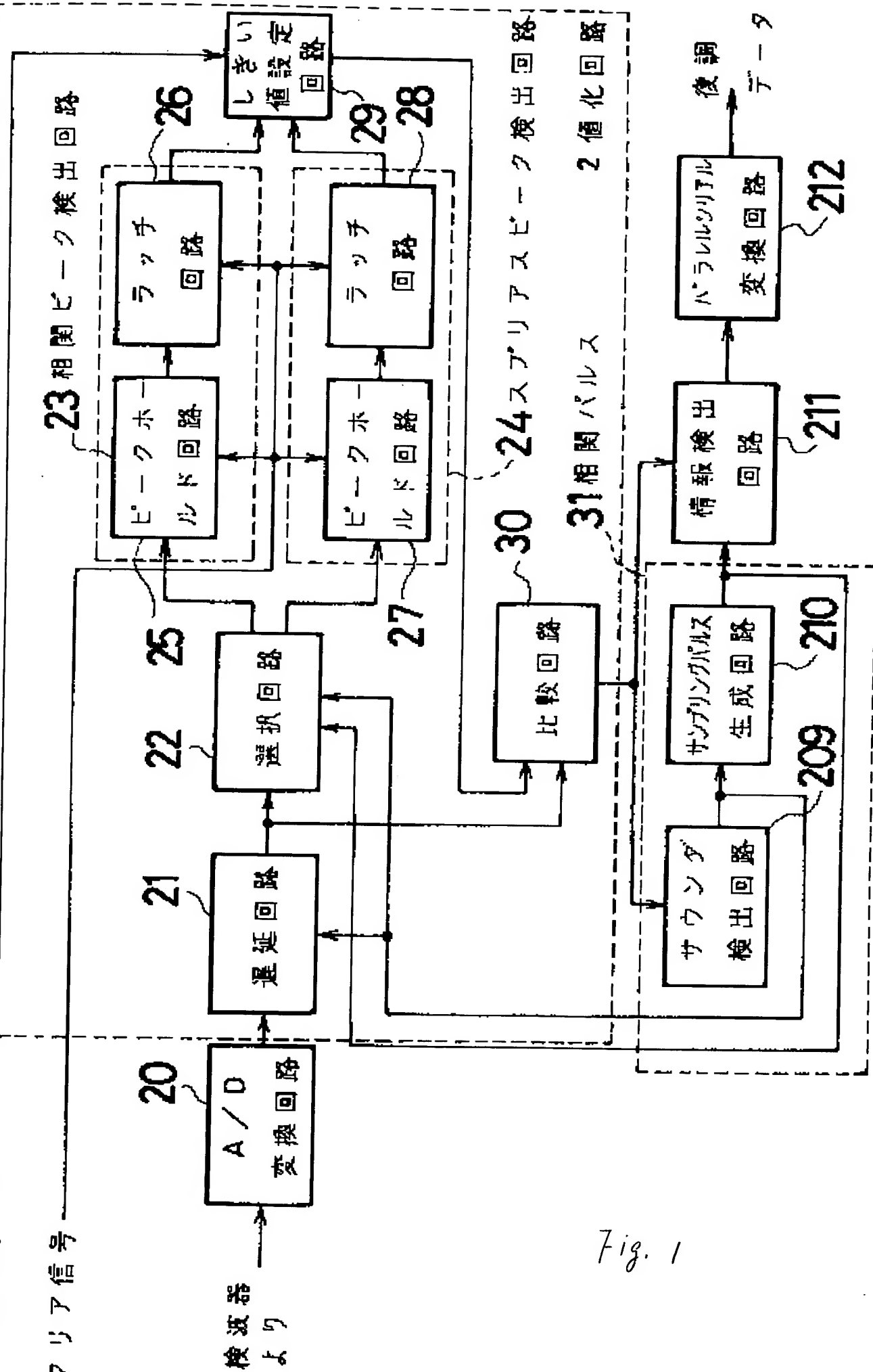
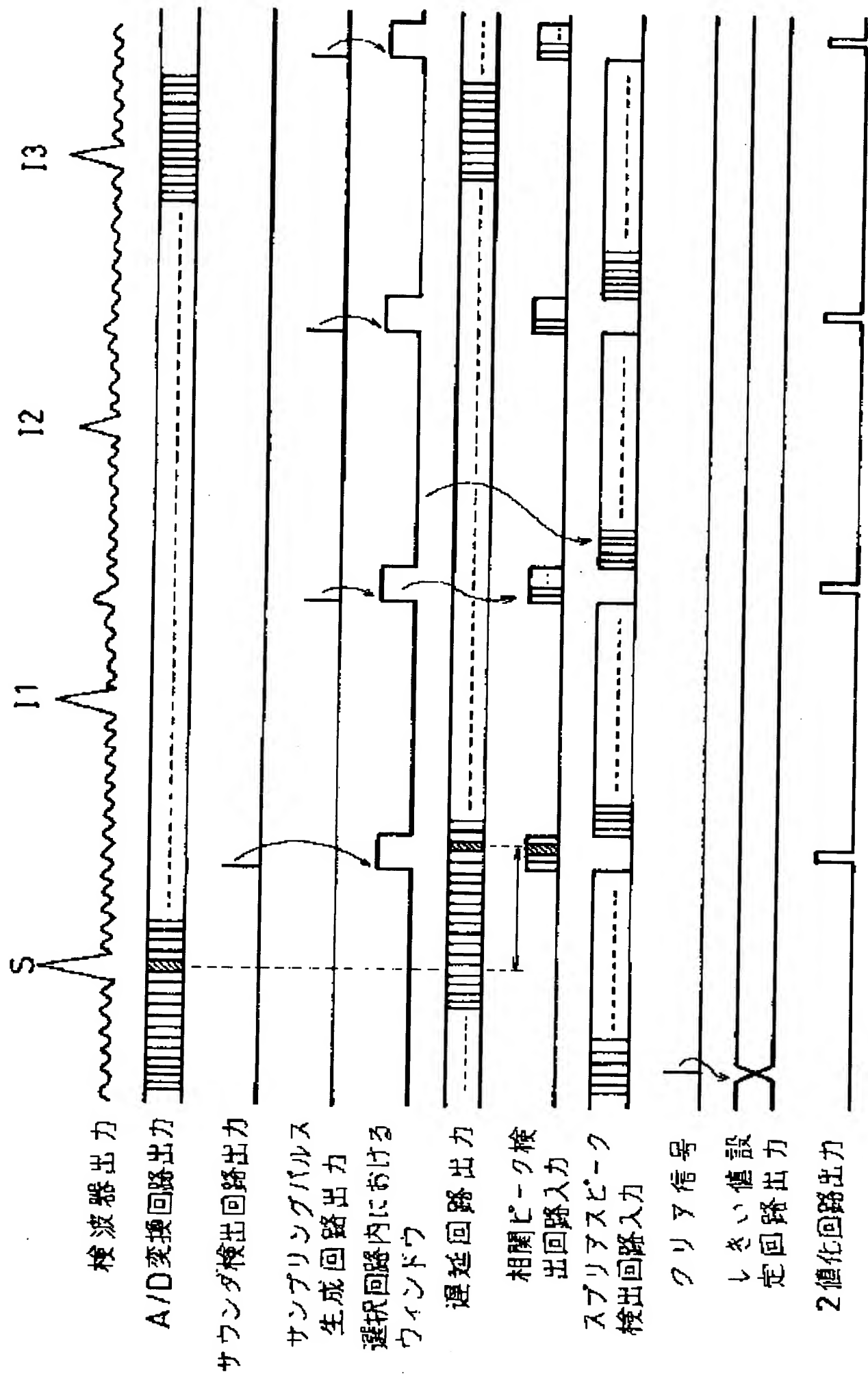


Fig. 1



S: サウンドチャンネルの相関ピーク  
I1~I3: 情報チャンネルの相関ピーク

Fig. 2

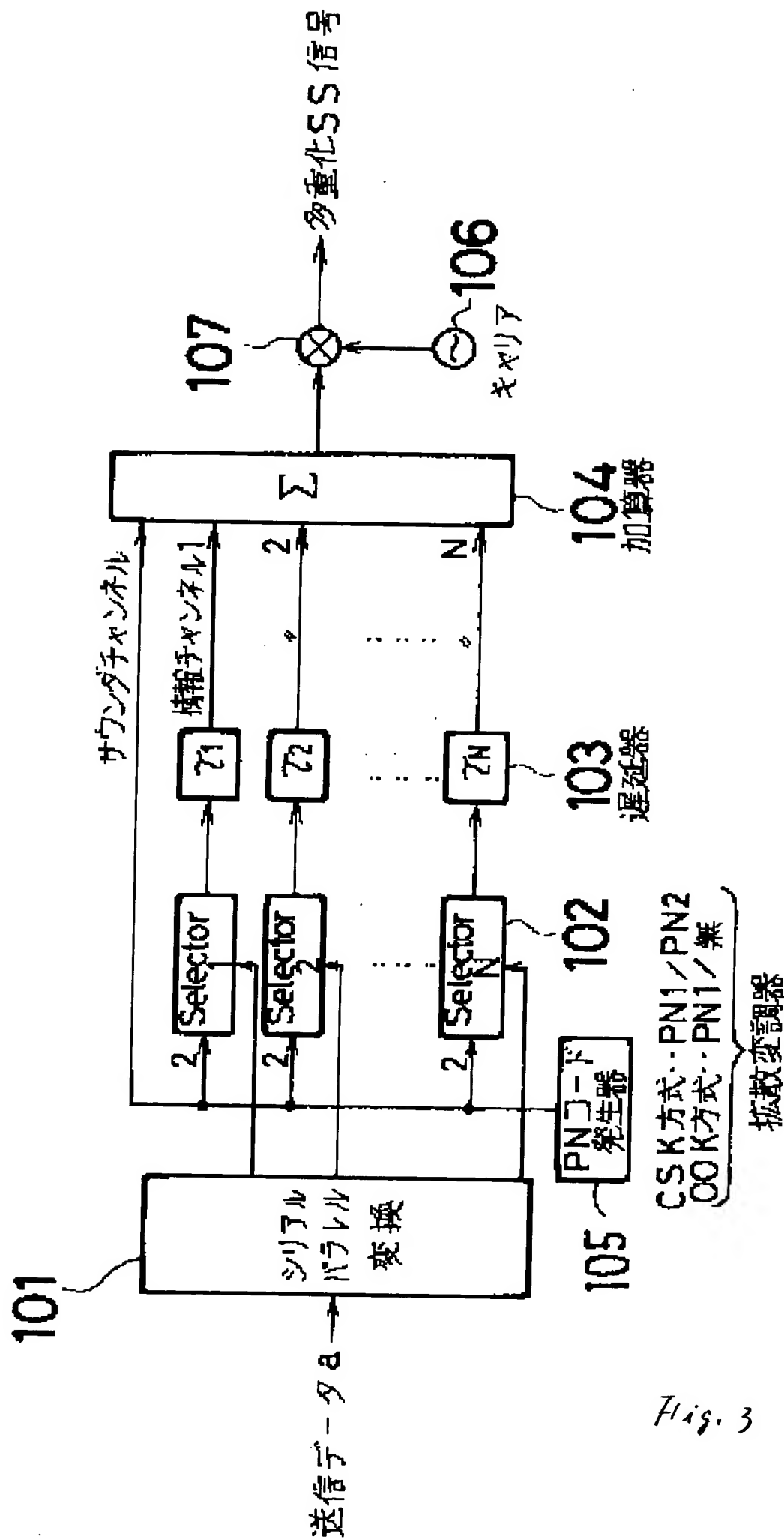
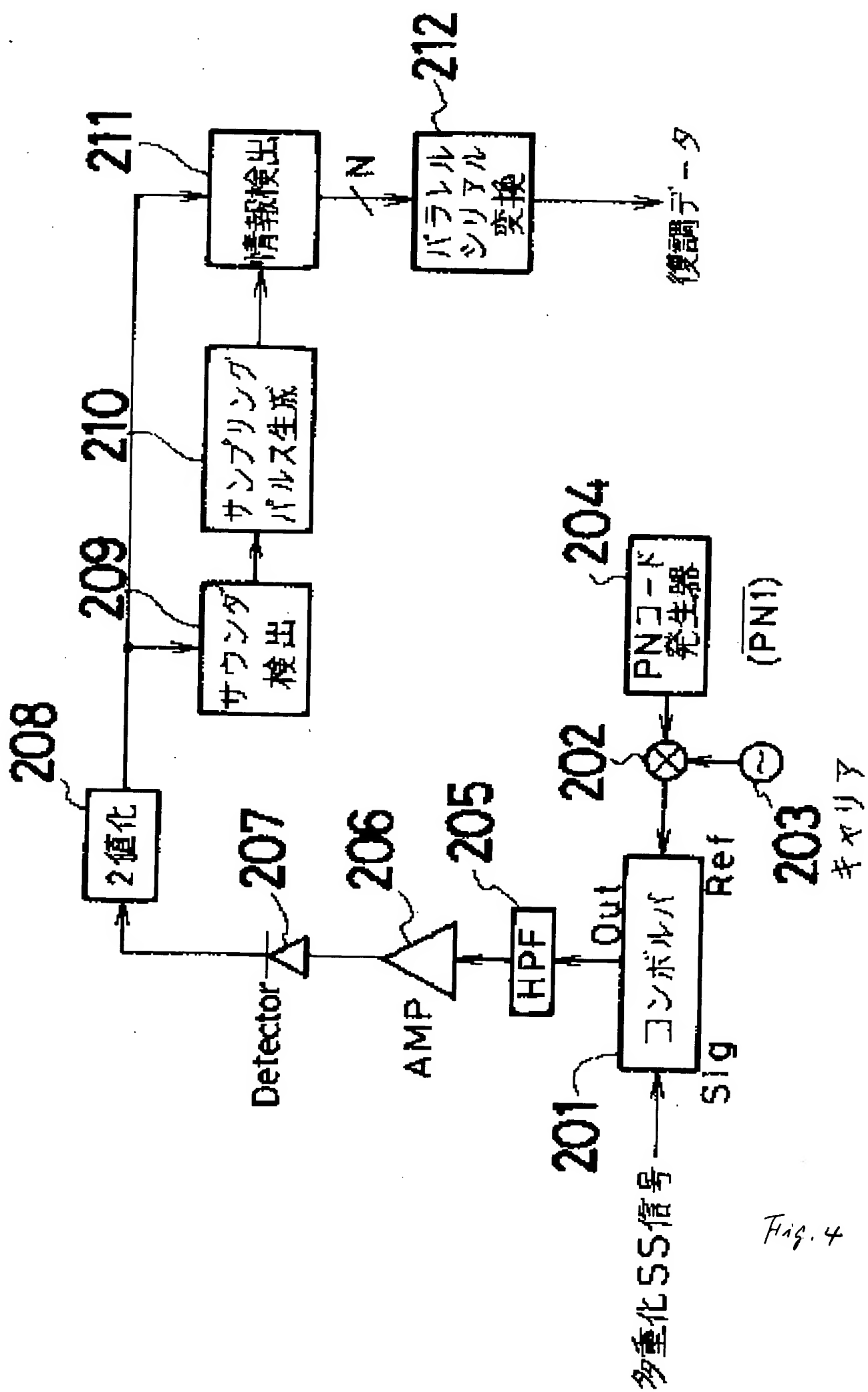


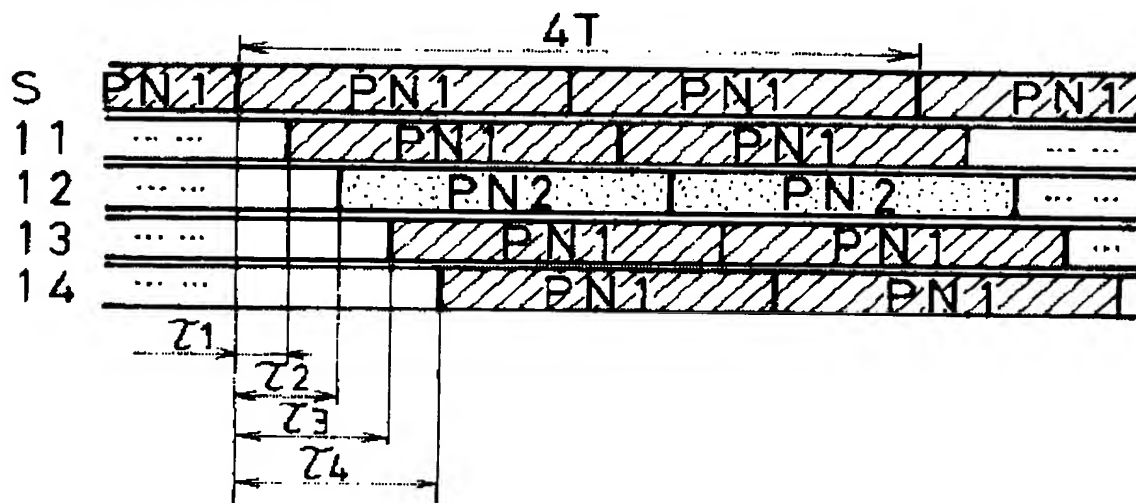
Fig. 3



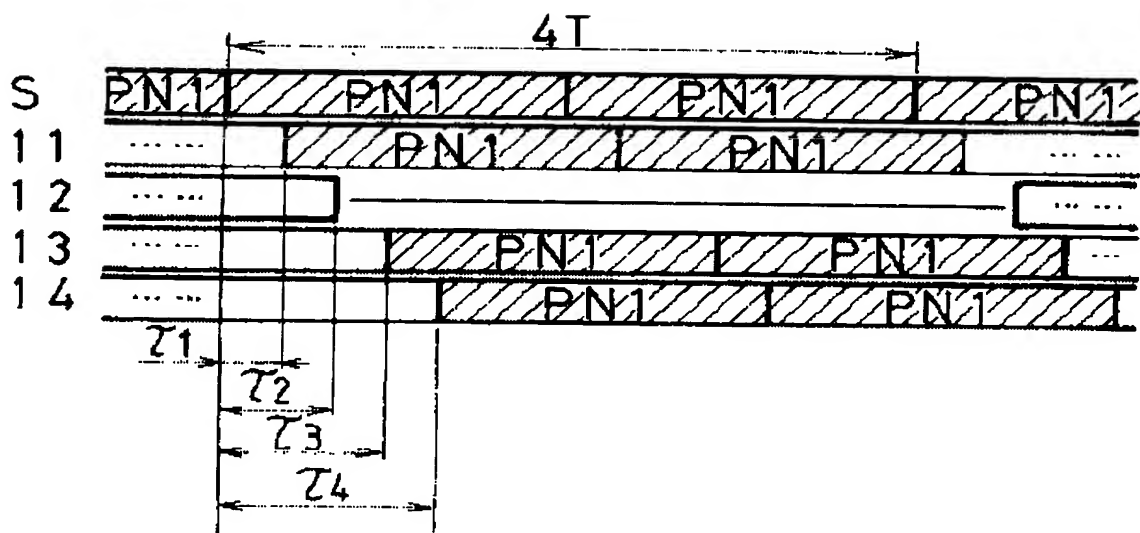
(a) 送信データ



(b) CSK 方式



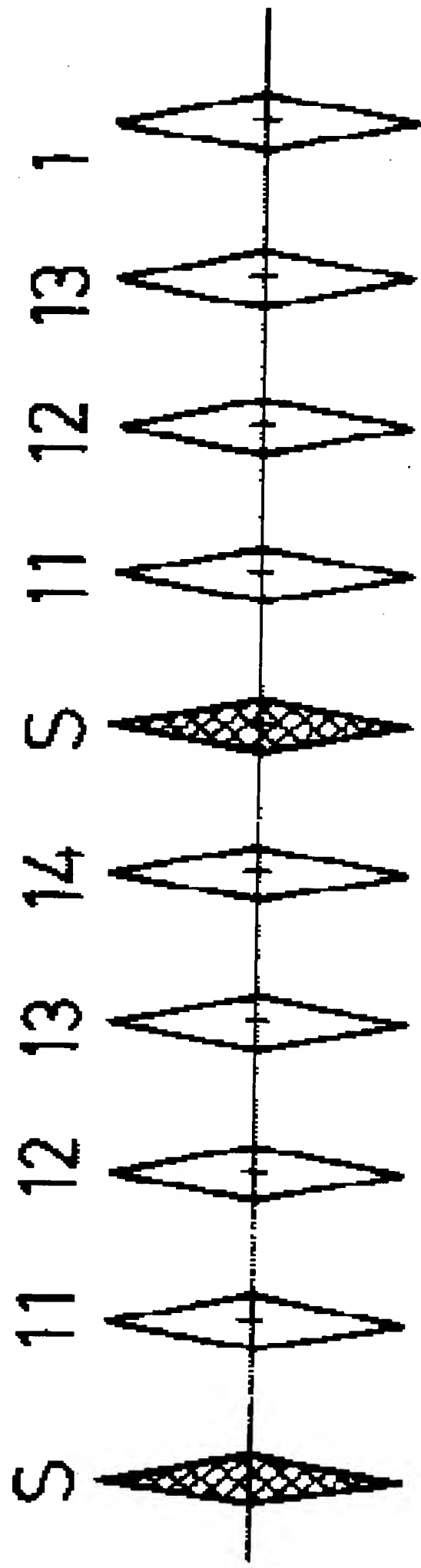
(c) OOK 方式



S : サウンドチャンネル  
11 ~ 14 : 情報チャンネル1 ~ 4

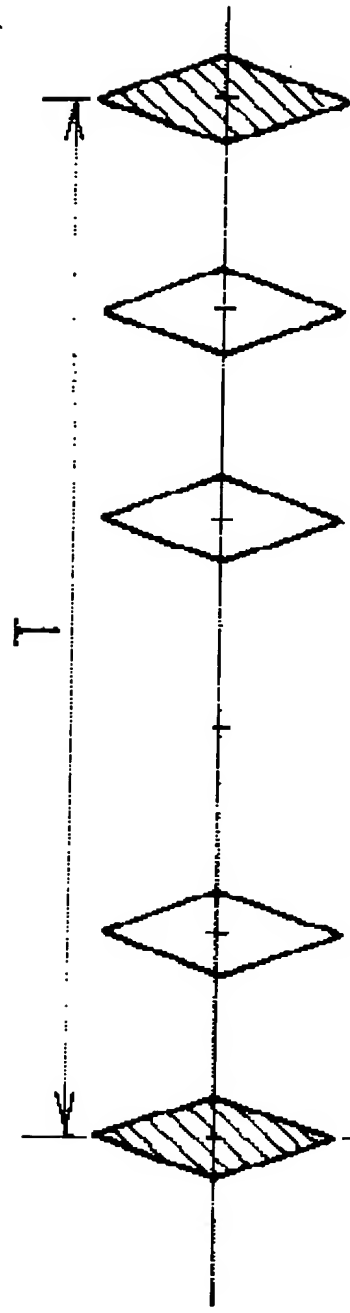
Fig. 5



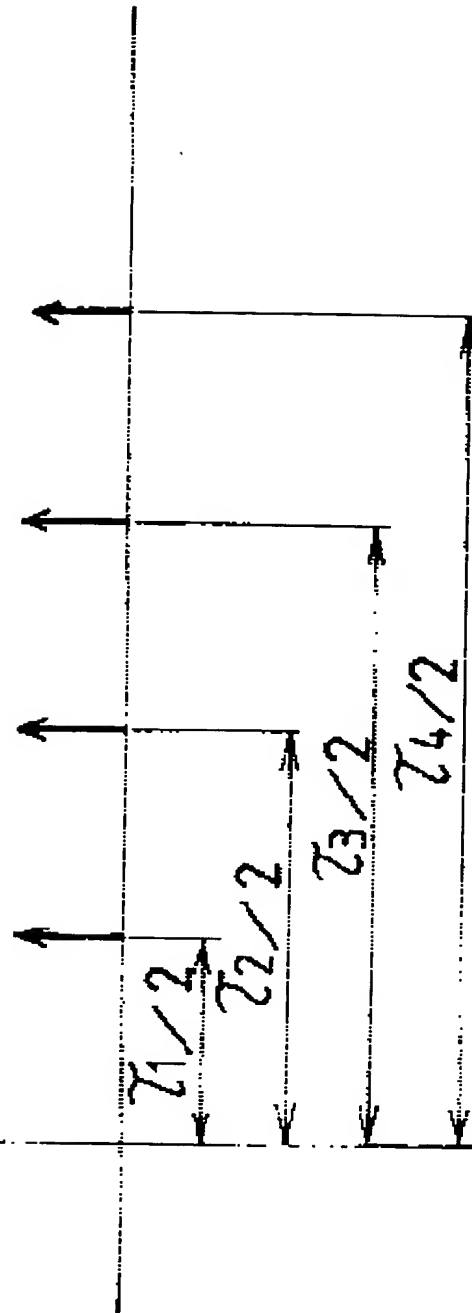


S: サウンダチャネルの相關出力  
 11 ~ 14: 情報チャネル 1 ~ 4 の相關出力

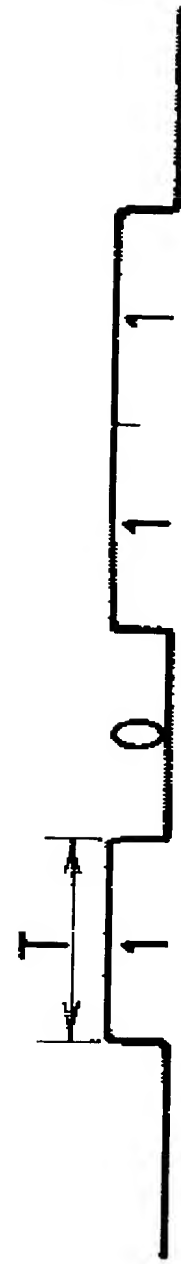
Fig. 6



(a) コンボルバ出力



(b) サンプリングパルス



(c) 復調データ

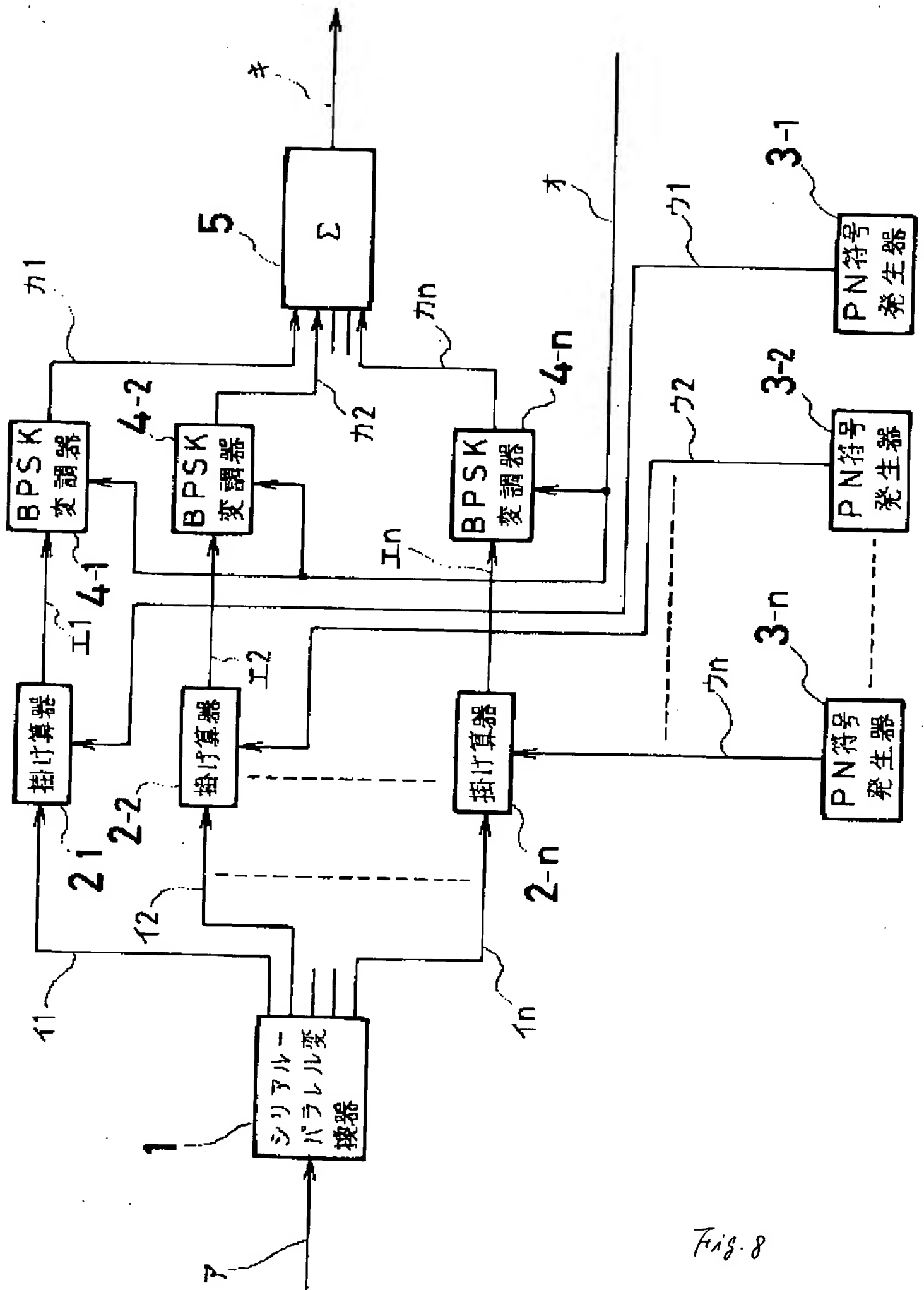
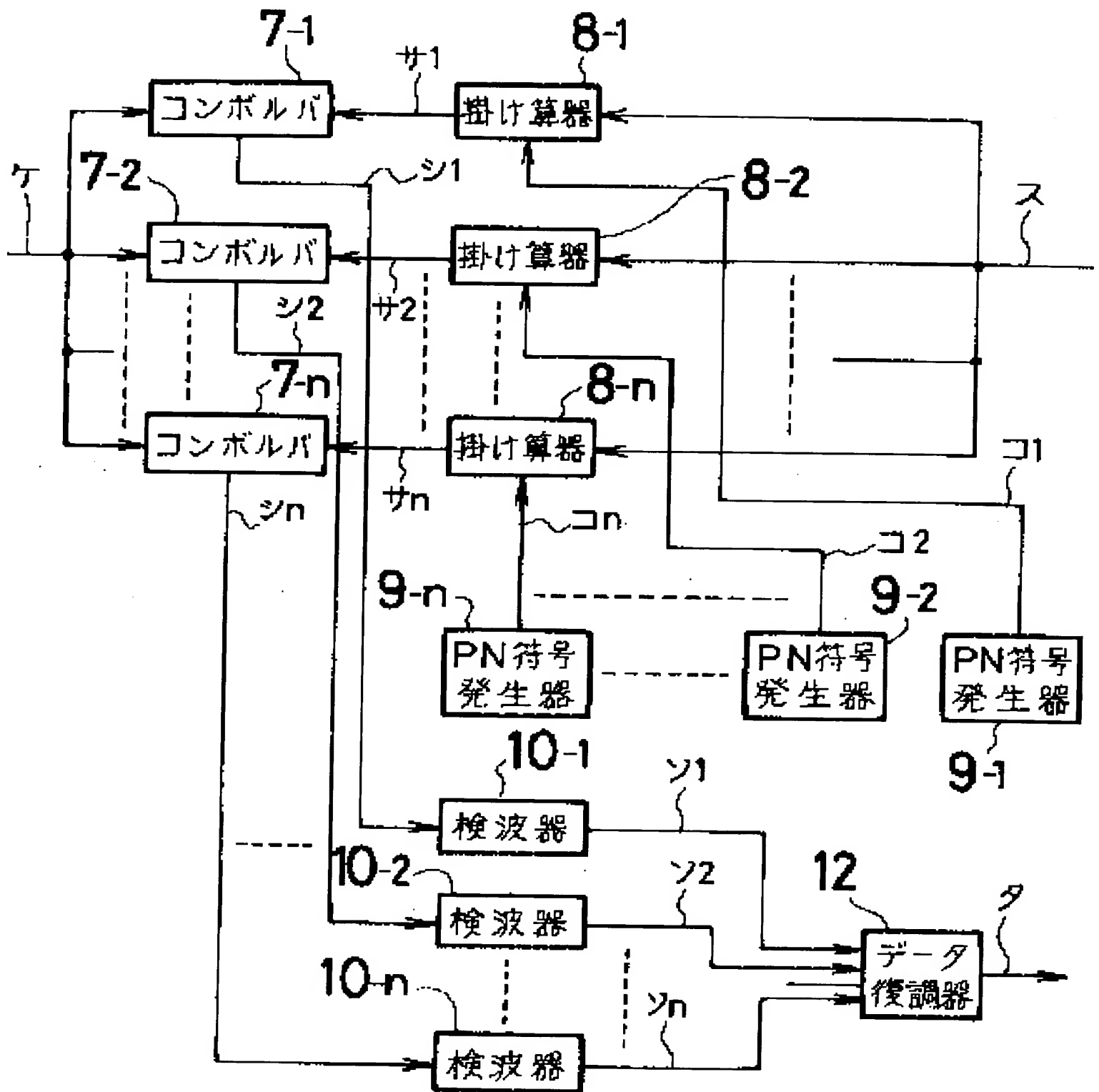


Fig. 8

Fig. 9



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] In a spectrum diffusion receiver, this invention separates a correlation peak and spurious one from a correlation output signal, and relates to the binary-ized circuit for generating the correlation pulse corresponding to the correlation peak.

[0002]

[Description of the Prior Art] An example of the multiplexer by the conventional spread-spectrum communication mode which performs high-speed data transmission is shown in drawing 8 and drawing 9. Drawing 8 is a transmitter and, for a serial-parallel converter, and 2-1 - 2-n, a multiplier, and 3-1 - 3-n of PN coder, and 4-1 - 4-n are [ 1 / a BPSK modulator and 5 ] addition machines.

[0003] In the above-mentioned transmitter, inputted high-speed data (\*\*) is changed into parallel data (I 1), (I 2), and -- (In) by the serial-parallel converter 1. Parallel data (I 1), (I 2), and -- (In) are inputted into one input of a multiplier 2-1, 2-2, --2-n. On the other hand, a different PN code (U 1) outputted to the input of another side of a multiplier 2-1, 2-2, --2-n from the PN coder 3-1, 3-2, --3-n, (U 2), and -- (Un) are inputted. The output (E 1) of a multiplier 2-1, 2-2, --2-n, (E 2), and -- (En) are inputted into the BPSK modulator 4-1, 4-2, --4-n, respectively, and modulate RF carrier signal (e). And from the BPSK modulator 4-1, 4-2, --4-n, the signal (mosquito 1) of a RF, (a mosquito 2), and -- (mosquito n) are outputted, and it is inputted into the addition machine 5. From the addition machine 5, spread-spectrum signal (g) carried out n multiplex is outputted and transmitted.

[0004] Drawing 9 is a receiver and, for a convolver, and 8-1 - 8-n, a multiplier, and 9-1 - 9-n of PN coder, and 10-1 - 10-n are [ 7-1 - 7-n / a wave detector and 12 ] data demodulators. In the above-mentioned receiver, input-signal (i) is distributed and is inputted into one input (a convolver 7-1, 7-2, --7n), respectively. On the other hand, the PN coder 9-1, 9-2, the PN code (KO 1) outputted from --9n, (KO 2), and -- (KOn) are added to one input of a multiplier 8-1, 8-2, and 8-n. a multiplier 8-1 and 8-2 -- while will 8-n accept it and carrier signal (\*\*) of a RF is inputted into an input. The output (SA 1) of a multiplier 8-1, 8-2, --8-n, (SA 2), and -- (SA n) are impressed to another input of KOMBARUBA 7-1, 7-2, --7-n.

[0005] The output (Si 1) of a convolver, (Si 2), and -- (Si n) are inputted into a wave detector 10-1, 10-2, and 10-n, respectively. At this time, a correlation spike generates the output from a convolver from each DCH to the same timing. The output (SO 1) of a wave detector 10-1, 10-2, and 10-n, (SO 2), and -- (SOn) are inputted into the data demodulator 12. Data (\*\*) to which it restored is outputted from the data demodulator 12. now -- the conventional multiplexer mentioned above -- the synchronization of a carrier -- needing -- moreover, the convolver (or matched filter) as correlator -- plurality -- there is a defect made required.

[0006]

[Problem(s) to be Solved by the Invention] this invention person improved the defect of the conventional multiplexer of needing such two or more correlators by Japanese Patent Application No. No. 153998 [ two to ], and proposed the multiplexer to which it can restore with single correlator.

Drawing 3 and drawing 4 show the example of 1 configuration of the transmitter of the spectrum diffusion (SS) communication device by invention of said point \*\*, and a receiver, respectively.

[0007] As shown in drawing 3, the transmitter consists of the serial-parallel conversion circuit 101, a selector group 102, delay \*\*\*\* 103, the adder 104, a PN code (code) generator 105, a RF carrier generator 106, and a multiplier 107. As shown in drawing 4, a receiver consists of the convolver 201 of correlator, a multiplier 202, the RF carrier generator 203, the PN code (code) generator 204, a high-pass filter (HPF) 205, amplifier 206, a wave detector 207, the binary-ized circuit 208, the sounder pulse detector 209, a sampling pulse generation circuit 210, an information detector 211, and a parallel serial conversion circuit 212.

[0008] Next, actuation of the above-mentioned equipment is explained. First, transmit data a is changed into the signal of two or more channels by the serial-parallel conversion circuit 101 in a transmitter. Here, in order to simplify explanation, the number of channels is set to N. Moreover, transmit data a is changed into transmission speed with each of that slower output by the serial-parallel conversion circuit 101. For example, it is changed into the parallel data of a transmission speed later than the transmission speed of  $1/N$ , or the transmission speed of transmit data a to arbitration. The spectrum diffusion modulation (SS modulation) according to the polarity of the signal of each YANNERU from the serial-parallel conversion circuit 101 is performed.

[0009] In addition, the above-mentioned SS modulation uses two kinds of following methods.

\*\* CSK (Code Shift Keying) method : data (method which chooses and outputs two kinds of PN codes (PN1 and PN2) according to the polarity of a signal.)

\*\* OOK (On Off Keying) method : the method which chooses whether a PN code (PN1) is outputted according to the polarity of data (signal), or it does not carry out.

[0010] In order to realize SS modulation actuation of the above two methods, the diffusion modulator is constituted with each selector group 102 for carrying out the above-mentioned selection by each output of the PN code generator 105 and the serial-parallel conversion circuit 101 to PN code (PN1 and PN2) generating. Next, the output of each selector of a diffusion modulator is inputted into each of delay \*\*\*\* 103. SS modulating signal (information channel) with which the amount of delay of respectively different arbitration on the basis of the phase of the PN code (here, referred to as PN1) of the sounder channel from which the output of each delay machine serves as a synchronizing signal for a data recovery was set up is acquired. This situation is shown in drawing 5. In addition, in drawing 5, the information channel expresses the difference between the CSK method in the amount of delay ( $\tau_1 - \tau_4$ ) from which it differs at the time of being referred to as 4 of 11-14, and an OOK method.

Moreover, S is a sounder channel. Moreover, it also means that the transmission speed of transmit data is changed into transmission speed with each late information channel. Here, it is changed into one fourth of transmission speed. An adder 104 performs analog addition (multiplexing) for SS modulating signal of the information channel of N individual and the signal of a sounder channel which were acquired from each delay machine, a multiplier 107 performs multiplication with the output of the RF carrier generator 106 for the output of an adder 104, and a multiplexing SS signal is acquired. Next, in a receiver, the multiplexing SS signal acquired with the transmitter considers as an input signal, and is inputted into one input terminal of a convolver 201.

[0011] The PN code by which the RF modulation was carried out by a multiplier 202 performing multiplication with the output of the RF carrier generator 203 in the PN code (here, the PN code (PN1) used with the transmitter and the PN code (PN1) which has the relation reversed in time are used) obtained by the PN code generator 204 is made into a reference sign, and is inputted into another input terminal of a convolver. In a convolver 201, the correlation operation of an input signal and a reference sign is performed, and the correlation output which is a RF is obtained (refer to drawing 6).

[0012] In drawing 6, the correlation peak corresponding to each PN code which has the phase relation from which each information channel differs on the basis of the phase of the PN code of the sounder channel explained by drawing 5 separated in time is acquired. Here, the condition that the correlation peak which is an autocorrelation was acquired by the sounder channel and all information channels is shown. Therefore, a correlation peak is not generated when an autocorrelation is not obtained in any of

the CSK method and an OOK method (CSK method -- a cross-correlation, OOK method -- correlating [ no ]). In addition, although the above-mentioned example has described the case where a convolver is used for correlator, even if it uses a matched filter, it is satisfactory at all. However, the part which generates a reference sign replaces the pattern on a matched filter and is unnecessary.

[0013] Next, a convolver output is detected in a wave detector 207 through a high-pass filter 205 and amplifier 206, it changes into the signal of a baseband information band, and the pulse train of a logic level is acquired in the binary-ized circuit 208. In addition, in the binary-ized circuit 208, the threshold is set up so that a correlation peak and spurious level can be separated the optimal.

[0014] Since the correlation output corresponding to a sounder channel generates an always periodic correlation peak, it detects a correlation peak in the sounder pulse detector 209, and acquires a conventional-time signal. The purpose which needs the time amount signal made into such criteria is for making unnecessary the diffusion sign synchronization in the usual DS-SS. That is, it set to said equipment, phase simulation of the phase of the PN code of an input signal and the PN code of a reference sign on a convolver was performed, and not the method that carries out a data recovery but the asynchronous system which skipped the mere sign synchronous process is realized. The sampling pulse for sampling the correlation output corresponding to each information channel in the sampling pulse generation circuit 210 based on the conventional-time signal which is the output of this sounder pulse detector 209 is generated.

[0015] In addition, when using a convolver as correlator, in order to carry out the opposite line of the input signal and reference sign which are inputted into a convolver, a correlation peak is generated in gate propagation delay time/2. namely, the correlation output corresponding to the amount of delay of each information channel on the basis of the phase of the PN code of the sounder channel in the transmitting side shown in drawing 5 from this ( $\tau_1 - \tau_4$ ) --  $\tau_1/2 - \tau_4$  -- it will dissociate in time [ about  $4/2$  ], and will generate. Therefore, the sampling pulse is generated in consideration of the above. Based on a sampling pulse, in the information detector 211, the correlation output corresponding to each information channel is sampled, and the data stream of each information channel is recovered from this.

[0016] The data obtained here is data of a transmission speed equal to a late transmission speed after serial-parallel conversion was carried out in the transmitting side. Next, transmit data is restored by changing the data stream of the parallel of this N individual into serial data in the parallel serial conversion circuit 212. The outline of actuation of this single string is shown in drawing 7.

[0017] According to invention of said point \*\*, as explained above, even if it performs the multiplexed spread spectrum system, correlator is good at one and the simplification of a circuit of it is attained. Now, although said binary-ized circuit 208 separates a correlation peak and spurious (side lobe) one from the detected correlation output and generates the correlation pulse (pulse of a logic level) corresponding to a correlation peak (it is made binary), it must be what can cope with the level variation of a correlation output, and spurious one enough.

[0018] The purpose of this invention is separating the correlation peak of a correlator output, and spurious (side lobe) one appropriately, generating a correlation pulse, when correlator output signal level's is changed, and offering a binary-ized circuit possible [ a positive data recovery ] in the multiplexer to which it can restore with single correlator.

[0019]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, a binary-ized circuit of this invention A delay circuit which changes a correlation output signal to delay or a condition of not being delayed, based on \*\* of a control signal, and nothing, A selection circuitry which sorts out an output signal of the above-mentioned delay circuit to predetermined timing based on the above-mentioned control signal to a signal at the time of a correlation output, and a signal at the time of a decorrelational output, A correlation peak detector holding maximum of a signal which a signal was supplied at the time of the above-mentioned correlation output, and was inputted for every predetermined timing, A spurious peak detector holding maximum of the above-mentioned signal which a signal at the time of the above-mentioned decorrelational output was supplied, and was inputted for every predetermined timing, A threshold setting circuit which inputs each signal held for every above-

mentioned predetermined timing in the above-mentioned correlation peak detector and a spurious peak detector, and carries out data processing based on maximum of each acquired signal. An output signal of the above-mentioned delay circuit and an output signal of the above-mentioned threshold setting circuit are supplied, and these output signals are compared, and let it be a summary to have had a comparator circuit which outputs a correlation pulse, and a control signal generating means to generate the above-mentioned control signal based on the above-mentioned correlation pulse.

[0020]

[Function] According to the existence of a control signal, a correlation output signal is outputted without being delayed or delayed. This output signal is sorted out by the signal with the time of a correlation output and a decorrelational output based on the above-mentioned control signal by the selection circuitry, and the maximum of each signal is held to predetermined timing in a correlation peak detector and a spurious peak detector. A threshold is set up based on the maximum of each signal held in both circuits, this threshold is compared with the output signal of the above-mentioned delay circuit, and a correlation pulse is acquired.

[0021]

[Example] One example of this invention shown in a drawing below is explained. Drawing 1 is one example of the binary-ized circuit used with the spectrum diffusion receiver by this invention, and drawing 2 is the timing chart of the signal in each part of this circuit.

[0022] In drawing 1, a circuit the same [ the same sign as drawing 9 ] or similar is shown, and the binary-ized circuit 208 consists of a delay circuit 21, a selection circuitry 22, the correlation peak detector 23, the spurious detector 24, the threshold setting circuit 29, and a comparator circuit 30. The correlation peak detector 23 has the peak hold circuit 25 and a latch circuit 26, and the spurious peak hold circuit 24 has the peak hold circuit 27 and a latch circuit 28. The A/D-conversion circuit 20 is established in the input side of a delay circuit 21, the control signal generating section 31 is formed in the output side of a comparator circuit 30, and this control signal generating section 31 consists of the sounder detector 209 and the sampling pulse generation circuit 210.

[0023] Next, actuation of the above-mentioned example is explained. In order that the correlation output detected by the wave detector may perform the data recovery by digital signal processing, it is changed into the digital signal of N bit (N: integer) from an analog signal by the A/D-conversion circuit 20. The correlation output signal by which A/D conversion was carried out is inputted into a delay circuit 21. In a delay circuit 21, the signal which is the correlation output inputted based on the conventional-time signal which detects the correlation pulse corresponding to a sounder channel, and is acquired by the sounder detector 209 is delayed.

[0024] That is, control of whether the signal which is a correlation output is delayed before and after sounder detection, or not to carry out is performed (for details, it mentions later). In addition, the conventional-time signal (namely, sampling pulse corresponding to the correlation pulse of a sounder channel) acquired in the sounder detector 209 is generated continuously serially. However, since it is binary control before and behind sounder detection, if the first reference signal can be acquired in trigger, as actuation, it will be satisfactory in a delay circuit 21, in any way.

[0025] Next, a correlation output signal is inputted into a selection circuitry 22 through a delay circuit 21. In a selection circuitry 22, all the correlation output signals that passed through the delay circuit 21 are inputted into the correlation peak detector 23 until a sounder channel is detected. moreover -- if a sounder channel is detected -- if -- the correlation peak generating part corresponding to an information channel serves as known, and the sampling pulse corresponding to the correlation peak of the information channel is made in the sampling pulse generation circuit 210. Therefore, the selection circuitry 22 after sounder channel detection generates the window which has the conventional-time width of face of the output of the sounder detector 209, and sorts out and outputs a correlation output signal. In addition, in a window, it is the section when a sounder and the correlation peak of an information channel exist, and window outsides are the spurious one existence sections other than those correlation peaks.

[0026] That is, actuation between which a selection circuitry 22 discriminates by the inside and outside



of a window after a sounder channel is detected is performed. In addition, if supplementary information of the actuation of the delay circuit 21 mentioned above is carried out, in a selection circuitry 22, it sets to discriminate from the correlation peak component and spurious component after sounder channel detection, and, naturally the processing time by the system of the circuit to there from the output of a selection circuitry 22 by the time it obtains as window information which should choose the output of the sounder detector 209 and the output of the sampling pulse generation circuit 210 exists. Since this is a kind of feedback system, when a window is made, it generates delay for the processing time. namely, the case where a window is made -- the inside of the window -- a correlation peak component and outside -- a spurious component -- as -- a correlation output signal must be inputted appropriately -- divide and come out, and it is, therefore delay compensation of the correlation output signal after sounder channel detection is performed in the delay circuit 21.

[0027] Thus, in a selection circuitry 22, the section when all correlation output signals are inputted into the correlation peak detector 23 before sounder channel detection at, and a correlation peak exists by the window after sounder channel detection inputs the correlation peak detector 23 and the spurious existence section into the spurious peak detector 24. In addition, a selection circuitry 22 operates so that the digital value of  $n$  bits whose terminal side with which a correlation output signal is not outputted from a selection circuitry 22 in the above is the minimum value in the meantime may be outputted.

[0028] Next, the signal which passed through the selection circuitry 22 is inputted into the correlation peak detector 23 and the spurious peak detector 24. In each peak detector, the maximum of the output signal of a selection circuitry 22 is first detected and held by each peak hold circuits 25 and 27. And the maximum currently held in the peak hold circuit is cleared at the same time it moves the maximum calculated by each peak hold circuit by making a clear signal into a trigger to each latch circuits 26 and 28. In addition, the pulse period of a clear signal can be set as arbitration here. For example, supposing it sets up equally to the gate processing signal of the correlator used with a receiver, when correlator is a matched filter, it is every correlation peak period, and when correlator is a convolver, peak hold actuation will be performed for a correlation peak every two periods. It becomes possible to follow, even if it can perform peak detection of the time amount section of arbitration, therefore the amplitude fluctuation in a short correlation output arises by such configuration.

[0029] Next, the maximum held by the latch circuits 26 and 28 of each peak detector is inputted into the threshold setting circuit 29. In a threshold setting circuit, data processing is performed based on each obtained maximum, and a threshold is computed.

[0030] Although it is variously, if the threshold  $V_n(ed)$  and computed in the maximum obtained in the maximum obtained in the correlation peak detector in  $V_s$  and the spurious peak detector 24 is now set to  $V_t$  as an example as the calculation method  $V_t = V_n + (V_s - V_n / \alpha)$  (1)

It asks. The calculated threshold is the digital signal of  $N$  bit.

[0031] In addition, when weighting  $\alpha$  of the 2nd term of the right-hand side is set to 2, a threshold will be set up in the correlation peak and spurious middle. Moreover, the above-mentioned weighting can also be given as a control signal from the outside. In that case, the above-mentioned control signal occurs from CPU etc. Next, the threshold obtained in the threshold setting circuit 29 is inputted into a comparator circuit 30. In a comparator circuit 30, the comparison with the correlation output signal and threshold which passed through the delay circuit 22 is performed, and when a larger correlation output signal than a threshold is inputted, a correlation pulse is generated.

[0032] If supplementary information is carried out further above, before a sounder channel is detected, the maximum will be detected from all correlation output signals, a threshold will be calculated, and processing which generates a correlation pulse will be performed. moreover -- if a sounder channel is detected -- if -- by measuring a correlation peak and spurious separation and setting up a threshold, correlation pulse detection precision is raised and little data recovery of an error is realized. In addition, in order to perform digital signal processing after a wave detector output, A/D conversion is performed, consequently digital signal processing also of the binary-ized circuit is carried out, but even when performing analog signal processing, it is clear that it is easily realizable.

[0033]

[Effect of the Invention] As explained above, according to the binary-ized circuit of this invention, by taking a configuration which was mentioned above, there is no incorrect detection by spurious one from a correlation output signal, and the correlation pulse corresponding to a correlation peak can be acquired certainly. Moreover, even if amplitude fluctuation arises in a correlation output, it can fully answer.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] A binary-ized circuit of a spectrum diffusion receiver characterized by providing the following A delay circuit which changes a correlation output signal to delay or a condition of not being delayed, based on \*\* of a control signal, and nothing A selection circuitry which sorts out an output signal of the above-mentioned delay circuit to predetermined timing based on the above-mentioned control signal to a signal at the time of a correlation output, and a signal at the time of a decorrelational output A correlation peak detector holding maximum of a signal which a signal at the time of the above-mentioned correlation output was supplied, and was inputted for every predetermined timing A spurious peak detector holding maximum of the above-mentioned signal which a signal at the time of the above-mentioned decorrelational output was supplied, and was inputted for every predetermined timing, A threshold setting circuit which inputs each signal held for every above-mentioned predetermined timing in the above-mentioned correlation peak detector and a spurious peak detector, and carries out data processing based on maximum of each acquired signal, A comparator circuit which an output signal of the above-mentioned delay circuit and an output signal of the above-mentioned threshold setting circuit are supplied, compares these output signals, and outputs a correlation pulse, and a control signal generating means to generate the above-mentioned control signal based on the above-mentioned correlation pulse

---

[Translation done.]

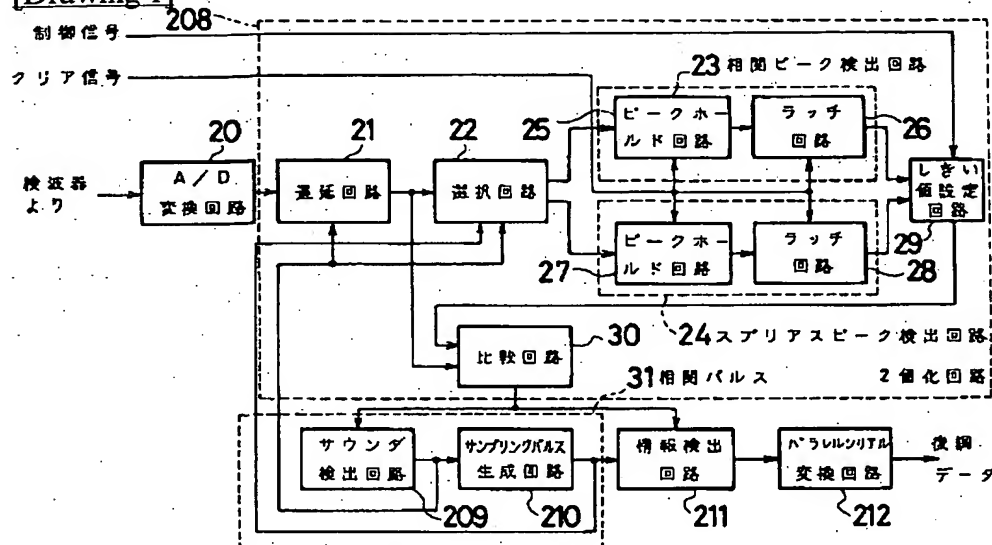
**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

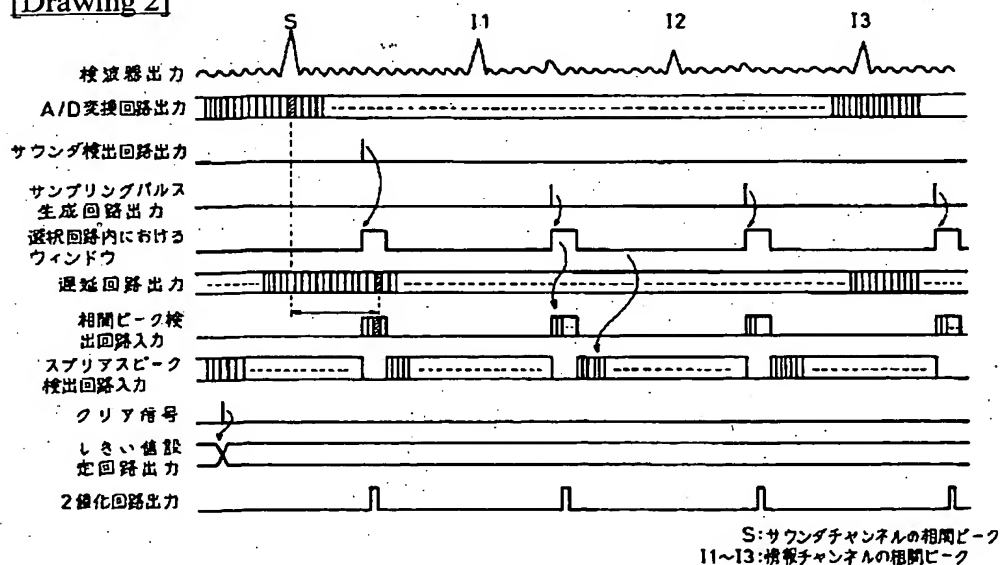
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

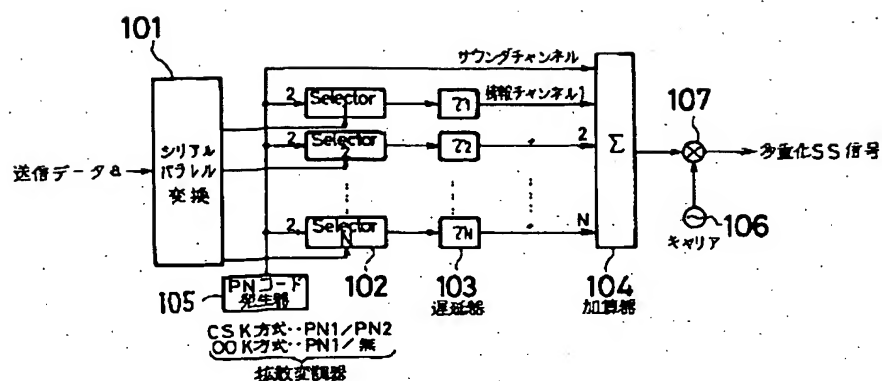
[Drawing 1]



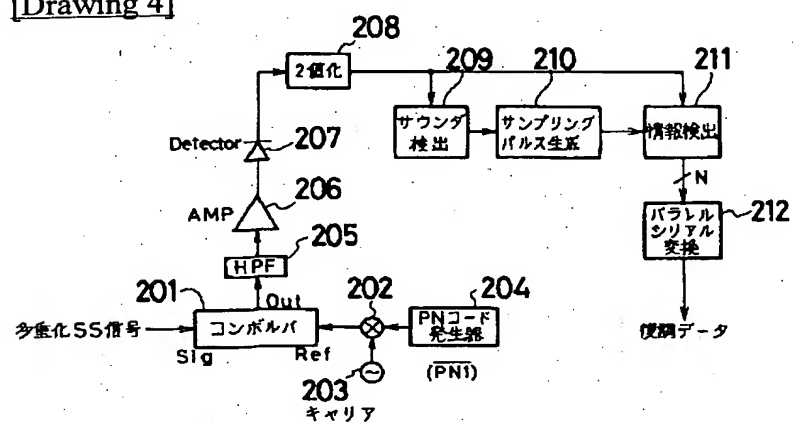
[Drawing 2]



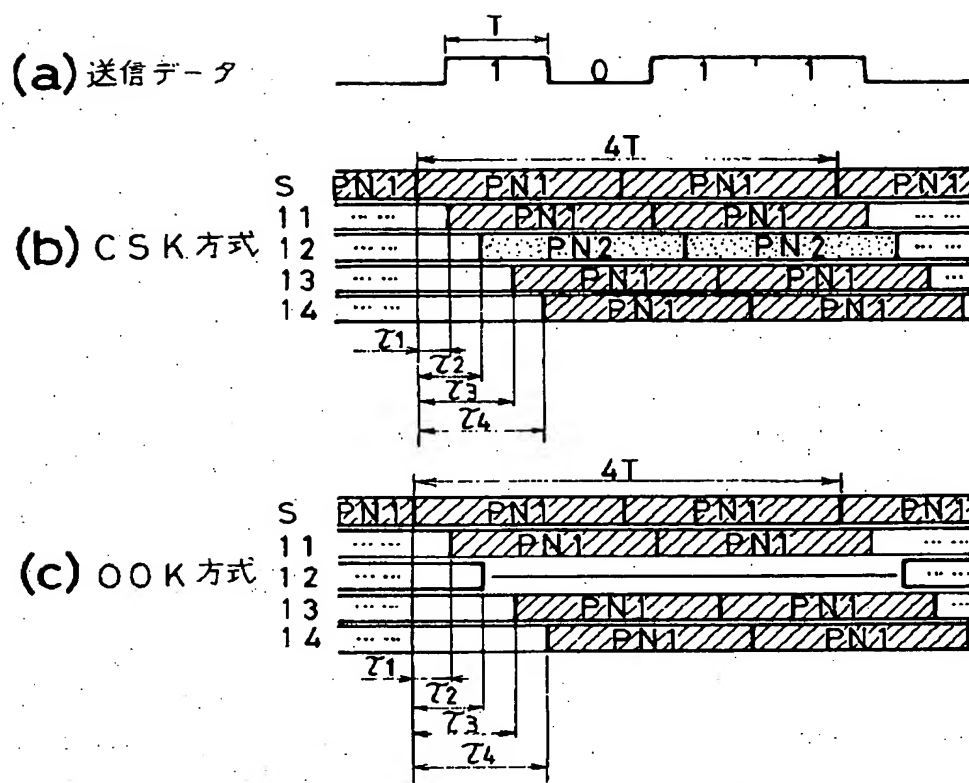
[Drawing 3]



[Drawing 4]

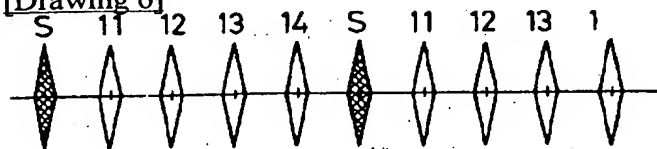


[Drawing 5]



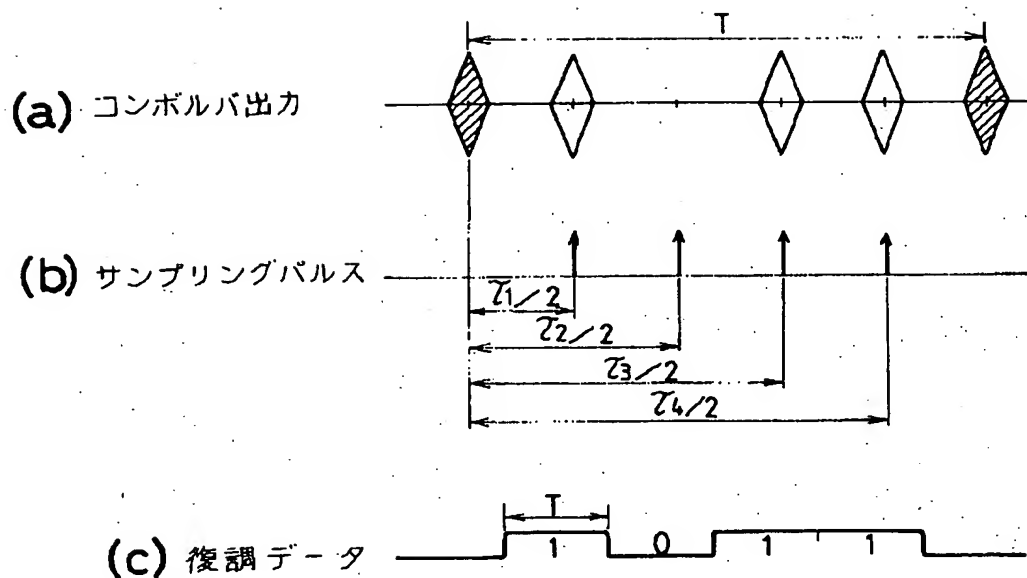
S : サウンドチャンネル  
11 ~ 14 : 情報チャンネル1~4

[Drawing 6]

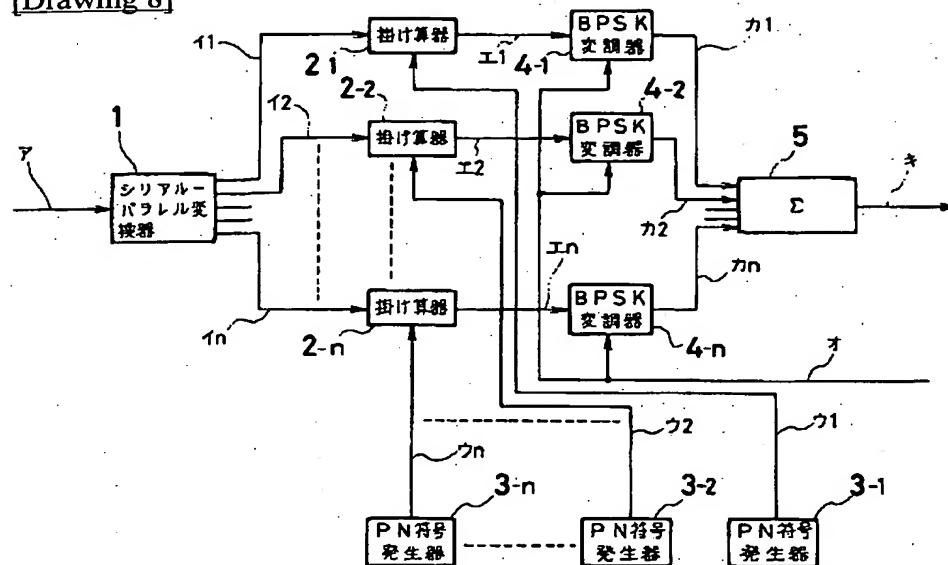


S : サウンドチャンネルの相関出力  
11 ~ 14 : 情報チャンネル1~4 の相関出力

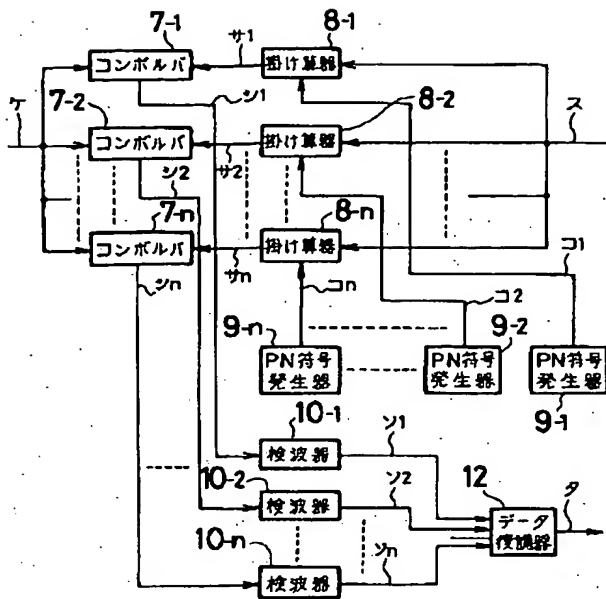
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]